






**Method for producing miniaturised thick-film and thin-film circuits****Publication number:** DE3245272 (A1)**Publication date:** 1984-06-07**Inventor(s):** GASSNER ERWIN DIPL ING [DE]**Applicant(s):** ROEDERSTEIN KONDENSATOREN [DE]**Classification:**

**- international:** *H01L21/70; H05K3/02; H05K1/03; H05K1/09; H05K1/16; H01L21/70; H05K3/02; H05K1/03; H05K1/09; H05K1/16; (IPC1-7): H05K3/02; H01L21/70; H01L21/84; H01L21/88*

**- European:** H01L21/70B; H05K3/02M

**Application number:** DE19823245272 19821207**Priority number(s):** DE19823245272 19821207**Cited documents:**

 DE1106803 (B)  
 DE3113855 (A1)  
 DE3031220 (A1)  
 DE2812928 (A1)  
 DE1949850 (A1)

[more >>](#)**Abstract of DE 3245272 (A1)**

A method is described for producing miniaturised conductor track geometries, especially for thick-film and thin-film circuits, in which, in order to achieve a significant increase in the conductor-track density, a coating of conductive material is applied over the whole area, initially at least on those regions of the substrate on which a miniaturised conductor track geometry is provided, and this layer is then split into mutually isolated partial surfaces and/or strips, which in each case at least partially form a conductor track, by means of a laser which is controlled in accordance with a negative layout-program and is adjusted with respect to the substrate.

---

Data supplied from the **esp@cenet** database — Worldwide



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑪ **DE 3245272 A1**

⑳ Aktenzeichen: P 32 45 272.1  
㉑ Anmeldetag: 7. 12. 82  
㉒ Offenlegungstag: 7. 6. 84

⑤① Int. Cl. 3:  
**H 05 K 3/02**  
H 01 L 21/88  
H 01 L 21/84  
H 01 L 21/70

DE 3245272 A1

⑦① Anmelder:

Ernst Roederstein Spezialfabrik für Kondensatoren  
GmbH, 8300 Landshut, DE

⑦② Erfinder:

Gassner, Erwin, Dipl.-Ing.(FH), 8401 Aufhausen, DE

⑤⑥ Recherchenergebnisse nach § 43 Abs. 1 PatG:

DE-OS 30 31 220  
DE-OS 28 12 928  
DE-OS 19 49 850  
US 39 24 093

US-Z: IEEE Electron Device Letters, Vol. ED-3. No.6,  
Juni 1982, S.164-166;

⑤④ Verfahren zur Herstellung miniaturisierter Dick- und Dünnschichtschaltungen

Es wird ein Verfahren zur Herstellung von miniaturisierten Leiterbahngeometrien, insbesondere für Dick- und Dünnschichtschaltungen beschrieben, bei dem zum Zwecke einer wesentlichen Erhöhung der Leiterbahndichte zunächst zumindest auf diejenigen Bereiche des Substrats, an denen eine miniaturisierte Leiterbahngeometrie vorgesehen ist, eine vollflächige Schicht aus leitendem Material aufgebracht wird und diese Schicht dann mittels eines nach einem negativen Layout-Programm gesteuerten, bezüglich des Substrats justierten Lasers in voneinander getrennte, wenigstens zum Teil jeweils eine Leiterbahn bildende Teilflächen und/oder Streifen unterteilt wird.

Behördeneigentum

DE 3245272 A1

ORIGINAL INSPECTED

BUNDESDRUCKEREI 04. 84 408 023/382

6/70

## MANITZ, FINSTERWALD &amp; GRÄMKOW

Ernst Roederstein  
Spezialfabrik für  
Kondensatoren GmbH  
Ludmillastr. 23/25

8300 Landshut

DEUTSCHE PATENTANWÄLTE  
DR. GERHART MANITZ DIPL.-PHYS.  
MANFRED FINSTERWALD DIPL.-ING., DIPL.-WIRTSCH.-ING.  
WERNER GRÄMKOW DIPL.-ING.  
DR. HELIANE HEYN DIPL.-CHEM.  
HANNS-JORG ROTHERMUND DIPL.-PHYS.

BRITISH CHARTERED PATENT AGENT  
JAMES G. MORGAN B.Sc. (PHYS.) D.M.S.

ZUGELASSENE VERTRETER BEIM EUROPAISCHEN PATENTAMT  
REPRESENTATIVES BEFORE THE EUROPEAN PATENT OFFICE  
MANDATAIRES AGRÉÉS PRÈS L'OFFICE EUROPÉEN DES BREVETS

P/Pr-R 2329

München, den 7. Dez. 1982

---

Verfahren zur Herstellung miniaturisierter  
Dick- und Dünnschichtschaltungen

---

Patentansprüche

1. Verfahren zur Herstellung von miniaturisierten, auf einem Trägersubstrat angeordneten und zumindest in einer Ebene liegenden Leiterbahngeometrien, insbesondere für Dick- und Dünnschichtschaltungen, dadurch gekennzeichnet, daß zunächst zumindest auf diejenigen Bereiche des Substrats, an denen eine miniaturisierte Leiterbahngeometrie vorgesehen ist, eine vollflächige Schicht aus leitendem Material aufgebracht wird und daß diese Schicht dann mittels eines nach einem negativen Layout-Programm gesteuerten, bezüglich des Substrats justierten Lasers in voneinander getrennte, wenigstens zum Teil jeweils eine Leiterbahn bildende Teilflächen und/oder Streifen unterteilt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die minimale Leiterbahnbreite zumindest im wesentlichen gleich der Schnittbreite des Lasers gewählt wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß bei der Ausbildung der Leiterbahnen mit einer eine konstante Breite besitzenden Laser-Brennspur gearbeitet wird.
4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Leiterbahnen zwischen dicht benachbarten Anschlüssen und weniger dicht benachbarten Anschlüssen jeweils durch zwei divergierende Brennsपुरen gebildet werden.
5. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß durch insbesondere spiralförmige Brennsपुरführung Induktivitäten in der vollflächigen leitenden Schicht ausgebildet werden.
6. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als leitende und mittels des Laserstrahls zu unterteilende Schicht eine auf einem Substrat vollflächig befestigte, insbesondere aufgeklebte Metallfolie verwendet wird.
7. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß bei Mehrschichtanordnungen zwischen übereinanderliegenden Schichten durch einander zumindest teilweise überdeckende, von jeweils einer zusammenhängenden Brennsपुर begrenzte Flächenbereiche der jeweiligen vollflächigen, leitenden Schicht Kapazitäten ausgebildet werden.

BAD ORIGINAL

8. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zwischen einer Vielzahl von IC-Pads und am Außenumfang des zugehörigen Substrats vorgesehenen Peripherieanschlüssen durch von innen nach außen divergierende Laser-Brennspuren sternförmig auseinanderlaufende Leiterbahnen mit schmalen Innenanschlußstellen und im Vergleich dazu breiten Außenanschlußstellen erzeugt werden.
9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß bei in Gold ausgeführten Anschlußpads sowohl die Übergangszone Gold/PdAg als auch der Goldbereich aufgetrennt und die Leiterbahnen in Goldausführung bis an das jeweilige IC herangeführt werden.
10. Schaltungsplatine, insbesondere in Dickschichtausführung, mit einer Mehrzahl von auf einem Trägersubstrat vorgesehenen, sich zwischen Rand- und/oder Bauelementenanschlüssen erstreckenden Leitungsbahnen, die insbesondere nach einem oder mehreren der vorhergehenden Ansprüche hergestellt ist, dadurch gekennzeichnet, daß die Leitungsbahnen (10) zumindest teilweise aus durch Laser-Brennspuren (11) in Streifen und/oder Teilflächen unterteilten, zunächst vollflächig auf das Substrat aufgebrachten Schichten aus leitendem Material bestehen.

Die Erfindung betrifft ein Verfahren zur Herstellung von miniaturisierten, auf einem Trägersubstrat angeordneten und zumindest in einer Ebene liegenden Leiterbahngeometrien, insbesondere für Dick- und Dünnschichtschaltungen.

Bei den bekannten Dick- und Dünnschichtschaltungen werden die benötigten Leitungsbahnen in Siebdruck- bzw. Maskentechnik aufgebracht, wobei der Verlauf der Leitungsbahnen zunächst in vergrößerter Form positiv dargestellt und die eigentlichen Masken nach entsprechender Verkleinerung gefertigt werden.

Mittels dieser bekannten Technik ist es üblich, Leiterbahnen mit einer minimalen Breite von etwa 400  $\mu\text{m}$  und einem gegenseitigen Abstand von ebenfalls etwa 400  $\mu\text{m}$  herzustellen. Die Ausfallquote bei der Fertigung von mit derartigen Leiterbahnen versehenen Substraten steigt jedoch mit zunehmender Miniaturisierung der Leiterbahngeometrie an, so daß es aus Platzgründen häufig erforderlich ist, unter Verwendung von Crossdruck die Leiterbahnen in verschiedenen Ebenen anzuordnen. Dies ist aber aufwendig und insbesondere dann unwirtschaftlich, wenn nur aufgrund weniger Verbindungsleitungen dieser Übergang zu Mehrschichtbauweise erfolgen muß.

Aufgabe der Erfindung ist es, das eingangs definierte Verfahren zur Herstellung miniaturisierter Leiterbahngeometrien in der Weise zu verbessern, daß die Leiterbahndichte ohne Beeinträchtigung der definierten und elektrisch einwandfreien Leitungsführung um ein Mehrfaches erhöht werden kann.

Gelöst wird diese Aufgabe nach der Erfindung dadurch, daß zunächst zumindest auf diejenigen Bereiche des Substrats, an denen eine miniaturisierte Leiterbahngeometrie vorgesehen ist, eine vollflächige Schicht aus leitendem Material aufgebracht wird und daß diese Schicht dann mittels eines nach einem

BAD ORIGINAL

negativen Layout-Programm gesteuerten, bezüglich des Substrats justierten Lasers in voneinander getrennte, wenigstens zum Teil jeweils eine Leiterbahn bildende Teilflächen und/oder Streifen unterteilt wird.

Durch den Übergang von der bisher üblichen Positivtechnik der Layout-Gestaltung zur Negativtechnik und den Einsatz von Lasern zur Erzeugung genau definierter, jedoch sehr schmaler, im Bereich von etwa 50  $\mu$ m und darunter liegender Brennsuren zur Begrenzung von definiert verlaufenden, leitenden Bereichen oder Streifen wird es möglich, die Leiterbahndichte im Vergleich zur herkömmlichen Technik ohne Schwierigkeiten um das Vierfache zu erhöhen, was wiederum zur Folge hat, daß aufgrund der wesentlich erhöhten Leiterbahndichte in vielen Fällen auf den sonst erforderlichen Crossdruck zur Unterbringung aller benötigten Leitungszüge verzichtet werden kann.

Es ist zwar bereits bekannt, z.B. aus der DE-OS 28 12 928, in elektrischen Meß-, Regel- oder Steuerkreisen angeordnete Schichtwiderstände unter Einsatz eines Laserstrahls abzugleichen, indem der wirksame Querschnitt des Widerstandsleiters durch lokales Einwirken von Strahlungswärme vermindert wird, aber bei solchen Anwendungsfällen, wie sie im übrigen auch bei der Herstellung von Widerständen üblich sind, wird der Laserstrahl praktisch nur als Ersatz einer sonst erforderlichen Schleifeinrichtung genutzt.

Da bei der gemäß der Erfindung vorgesehenen Vorgabe eines negativen Layout-Programms eine sehr hohe, nur durch den einzuhaltenden Minimalabstand zwischen benachbarten Brennsuren begrenzte Variabilität gegeben ist und ein Laserstrahl gemäß heutiger Technik mit sehr hoher Genauigkeit und sehr hoher Geschwindigkeit gesteuert bzw. geführt werden kann, lassen sich mit geringster Ausfallquote extrem miniaturisierte Dick-schichtschaltungen fertigen.

Es ist dabei sowohl möglich, sämtliche Leiterbahnen nach dem erfindungsgemäßen Verfahren zu fertigen oder das erfindungsgemäße Verfahren nur in den sogenannten kritischen Bereichen, wo eine sehr hohe Leiterbahndichte gefordert wird, einzusetzen, d.h. es ist auch eine Kombination zwischen herkömmlicher Siebdruck- bzw. Maskentechnik und dem Verfahren nach der Erfindung möglich.

Das Anschließen der erfindungsgemäß ausgebildeten, zumindest zum Teil lediglich einen gegenseitigen Abstand von 50  $\mu$ m aufweisenden Leiterbahnen an Bauelemente, IC-Pads, außenliegende Kontakte und dergleichen kann in herkömmlicher Weise durch Bonden, Löten und auch in Reflow-Technik erfolgen.

Von wesentlichem Vorteil ist auch, daß durch Intensitätssteuerung des Laserstrahles die Eindringtiefe des Brennstrahls sehr genau gesteuert werden kann, was es wiederum ermöglicht, die erfindungsgemäße Leiterbahnbildung auch bei Anwendung der Mehrschichttechnik zu verwenden, da durch diese Intensitätssteuerung verhindert werden kann, daß unter einer Schicht liegende weitere Schichten beschädigt werden, wenn in einer obenliegenden Schicht Brennspuren gelegt werden.

Die erfindungsgemäß hergestellten Leiterbahnen müssen keineswegs über ihre jeweilige Länge gleiche Breite besitzen. Es ist vielmehr in vielen Fällen von Vorteil, die einzelnen Leiterbahnen über ihre Länge durch divergierende Brennspuren unterschiedlich breit auszuführen. Ein Beispiel dafür ist der Anschluß einer Vielzahl von IC-Pads an eine umliegende Peripherie. Zu diesem Zweck werden vorzugsweise ausgehend von IC sternförmig auseinanderlaufende Leiterbahnen geschaffen, die IC-seitig sehr schmal und jeweils einem der eng nebeneinanderliegenden Pads zugeordnet sind und mit ihrem verbreiterten außenliegenden Ende an Peripherieanschlüsse geführt sind.

BAD ORIGINAL



Aufgrund der erzielbaren Miniaturisierung der Leitungen kann entweder das jeweilige Substrat verkleinert oder auf dem Substrat eine größere Anzahl von Bauelementen angebracht werden. Vorteilhafterweise kann ein durch die Miniaturisierung gewonnener freier Flächenbereich auf einem Substrat auch zur unmittelbaren Ausbildung einer Induktivität in der vollflächigen leitenden Schicht genutzt werden, was beispielsweise durch spiralförmige Brennschweiführung möglich ist. Da die Brennschweife bei der Schaffung einer solchen Induktivität sehr eng gezogen werden können, läßt sich pro Flächeneinheit eine große Windungszahl erzielen, die im wesentlichen nur durch die Beachtung der erforderlichen Widerstandswerte begrenzt ist.

Bei Mehrschichtanordnungen können zwischen übereinanderliegenden Schichten durch einander zumindest teilweise überdeckende, von jeweils einer zusammenhängenden Brennschweif begrenzte Flächenbereiche Kapazitäten ausgebildet werden, was gemäß herkömmlicher Technik vor allem deshalb nicht in wirtschaftlicher Weise möglich war, weil für die Schaffung derartiger, integriert ausgebildeter Kapazitäten nicht genügend Raum auf den Substraten zur Verfügung stand.

In der Praxis ist auch von Bedeutung, daß sich das erfindungsgemäße Verfahren nahtlos in den bisherigen Fertigungsablauf bei der Herstellung von Dick- oder Dünnschichtschaltungen einfügt und die erforderlichen Operationen mittels bekannter und zur Verfügung stehender Maschinen und Einrichtungen durchführbar sind. Da hinsichtlich der Geometrie der zur Schaffung bestimmter Leiterzüge erforderlichen Brennschweife praktisch keinerlei Einschränkungen bestehen und die Reproduzierbarkeit der Brennschweifverläufe stets gegeben ist, kann das erfindungsgemäße Verfahren sehr vielseitig und mit hoher Wirtschaftlichkeit angewandt werden.

Ein Ausführungsbeispiel der Erfindung wird nachfolgend anhand der Zeichnung erläutert; dabei zeigt:

Fig. 1 einen stark vergrößert dargestellten Ausschnitt einer in Dickschichttechnik ausgeführten Schaltungsplatine, und

Fig. 2 einen ebenfalls stark vergrößert dargestellten Ausschnitt einer gemäß der Erfindung ausgebildeten Induktivität.

Fig. 1 zeigt einen Eckbereich eines IC's mit über seinem Umfang verteilt und eng benachbart angeordneten Anschluß-Pads. Dieser integrierte Schaltkreis 12 ist auf einem Substrat angebracht und zunächst von einer vollflächig auf das Substrat aufgebrachten Schicht aus Leiterbahnmateriale umgeben. Die Verbindungsleitungen bzw. Leitungsbahnen 10 zu den einzelnen Anschlüssen des integrierten Schaltkreises 12 werden erfindungsgemäß dadurch erhalten, daß in exakt definierter Weise mittels eines Laserstrahls Brennsuren 11 gezogen werden, welche die zunächst vollflächige Leiterbahnschicht in der Weise unterteilen, daß sich sternförmig nach außen erweiternde Leiterbahnen 12 ergeben, wobei jedem Anschlußpad eine solche Leiterbahn 10 zugeordnet ist.

Fig. 2 zeigt wiederum einen Ausschnitt einer Draufsicht auf ein in Dickschichttechnik ausgeführtes Substrat, wobei in der aus leitendem Material bestehenden vollflächigen Schicht 13 mittels eines programmierten Lasers erzeugte Brennsuren so geführt bzw. gelegt sind, daß sich eine Induktivität ergibt. Durch zumindest im Prinzip spiralförmige Anordnung der zwischen jeweils zwei Brennsuren 11 gelegenen Leiterbahn 14 läßt sich ein sehr kompakter und damit platzsparender Induktivitätsaufbau erzielen. Ein flächig vergrößerter Anschlußbereich für diese Induktivität ist bei 15 zu sehen. Induktivitäten lassen sich nach dem erfindungsgemäßen Verfahren problemlos ab einer Leiterbahnbreite von etwa 120  $\mu$ m herstellen, wobei aber stets darauf zu achten ist, daß sich kein zu hoher Gleichstromwiderstand ergibt.

BAD ORIGINAL

07.12.82

3245272

- 9 -

Zu erwähnen ist auch noch, daß bei Anwendung des Verfahrens nach der Erfindung bei in Gold ausgeführten Anschlußpads sowohl die Übergangszone Gold/PdAg als auch der Goldbereich sauber aufgetrennt werden kann und damit die Leiterbahnen auch in Goldausführung bis an das jeweilige IC herangeführt werden können.

-10 -  
Leerseite

07.10.82

Nummer: 32 45 272  
 Int. Cl.<sup>3</sup>: H 05 K 3/02  
 Anmeldetag: 7. Dezember 1982  
 Offenlegungstag: 7. Juni 1984

FIG. 1

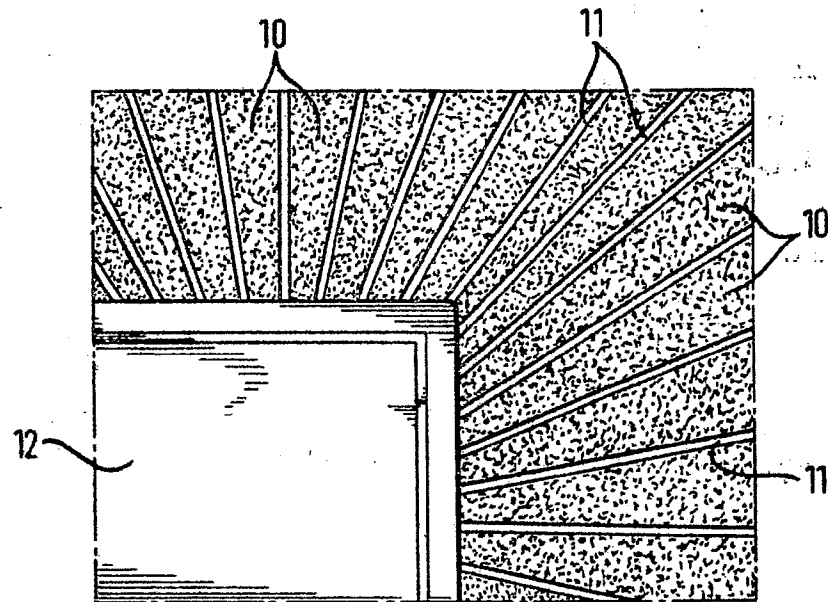


FIG. 2

